

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-148961  
(43)Date of publication of application : 30.05.2000

---

(51)Int.Cl. G06K 19/077  
G06K 17/00  
G06K 19/07

---

(21)Application number : 11-046390 (71)Applicant : TOSHIBA CORP  
(22)Date of filing : 24.02.1999 (72)Inventor : HASEBE SHINICHI

---

(30)Priority  
Priority number : 10245910 Priority date : 31.08.1998 Priority country : JP

---

## (54) LSI FOR COMBINATION CARD

### (57)Abstract:

PROBLEM TO BE SOLVED: To obtain an IC card capable of switching radio/contact with a simple configuration.

SOLUTION: When a radio signal is inputted from an antennapower supply potential is generated in a linear circuit for radio and a switching signal RFRST becomes 'H'. In such a casea CPU recognizes a radio mode and carries out a processing program of the radio mode. Alsological circuits A1 and A2 make data based on the radio signal and a clock signal transferable. On the other handwhen the radio signal is not inputted from the antennathe signal RFRST becomes 'L'. In such a casethe CPU recognizes a contact mode and carries out a processing program of the contact mode. Alsological circuits A3 to A5 make a reset signal inputted from an external terminaldata and a clock signal transferable.

---

## CLAIMS

---

### [Claim(s)]

[Claim 1]LSI for pair cards characterized by comprising the following.  
A linear circuit for contact connected to two or more external terminals.  
A linear circuit for radio which it is connected to an antenna and the 1st power supply

potential is generated based on a radio signal and sets a switch signal as the 1st level when said 1st power supply potential exceeds a predetermined threshold and sets a switch signal as the 2nd level when said 1st power supply potential does not reach said predetermined threshold.

A switching circuit which enables transfer of data in said linear circuit for radio when said switch signal is the 1st level and enables transfer of data in said linear circuit for contact when said switch signal is the 2nd level.

[Claim 2]The LSI for pair cards according to claim 1 wherein a circuit which generates said 1st power supply potential is connected to a node for internal electrical power sources via a diode for prevention of backflow and a terminal in which the 2nd power supply potential is impressed among said two or more external terminals is also connected to said node for internal electrical power sources.

[Claim 3]When said switch signal is the 1st level it recognizes that it is in radio mode a processing program at the time of radio mode is executed and said switch signal is the 2nd level. The LSI for pair cards possessing a control circuit which recognizes that it is in contact mode and executes a processing program at the time of contact mode according to claim 1.

[Claim 4]LSI for pair cards characterized by comprising the following.

A linear circuit for contact connected to two or more external terminals.

A linear circuit for radio connected to an antenna.

A control circuit which judges operational mode based on a state of each signal generated in a state and said linear circuit for radio of each signal inputted into said linear circuit for contact.

A switching circuit which enables transfer of data in said linear circuit for contact when transfer of data is enabled in said linear circuit for radio when said control circuit has recognized radio mode and said control circuit has recognized contact mode.

[Claim 5]The LSI for pair cards according to claim 4 providing a switching circuit which fixes said two or more external terminals to earth potentials respectively when said control circuit recognizes radio mode.

[Claim 6]An IC chip having arranged each vamp each pad for wirebonding and for flip chip bonding on a main table side of said IC chip in an IC chip carried in an IC module for IC cards respectively.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]  
[0001]

[Field of the Invention] This invention relates to LSI used for what is called a pair card that made the contact type IC card and the radio type IC card unite.

[0002]

[Description of the Prior Art] Conventionally as an IC card two kinds a contact type IC card and a radio type IC card are known.

[0003] Drawing 15 shows the outline of the composition of the conventional contact type IC card.

[0004] MPU12 the connection part 11 and for IC cards is carried in the plastic card 10. The connection part 11 has exterior electrodes.

Data etc. are exchanged by carrying out direct contact of these exterior electrodes to the external device (reader/writer) 18.

Generally the connection part 11 and MPU12 for IC cards are modularized and have become an IC module.

An IC card is done by inserting this IC module in the emboss area of the plastic card 10.

[0005] MPU12 for IC cards is provided with the control section 13 the operation part 14 ROM15 RAM16 and EEPROM17. The program for data processing is saved ROM15. RAM16 is used as an object for the temporary storage of data and EEPROM17 is used as an object for data storage.

[0006] Drawing 16 shows the outline of the composition of the conventional radio type IC card.

[0007] MPU22 the antenna 21 and for IC cards is built in the plastic card 20. The antenna 21 is for exchanging data etc. between the external devices (reader/writer) 30. MPU22 for IC cards is provided with the modulation and demodulation circuit 23 the input/output control circuit 24 CPU25 ROM26 SRAM27 EEPROM28 and the bus 29.

[0008] The radio signal received in the antenna 21 is inputted into the input/output control circuit 24 via the modulation and demodulation circuit 23. The program for data processing is saved ROM26. SRAM27 is used as an object for the temporary storage of data and EEPROM28 is used as an object for data storage.

[0009] By the way in recent years the multi-card which can process various applications with one card has been developed in order to reduce the number of sheets of the card to carry. The contact type IC card and radio type IC card which were being carried independently conventionally are made to unite in connection with this and development of the pair card which enabled it to process many applications with one card is also furthered.

[0010] For example promising \*\* of this pair card is carried out at a system which is used combining electronic money (contact process) and a commuter pass (radio type).

[0011] Drawing 17 shows the 1st example of the conventional pair card.

[0012] This example is related with the IC card indicated by JP5-333966A. This IC card has equipped with the function of both a contact process and a radio type in one

card. However this IC card builds in the battery.

And the life of this battery is prolonged by using a rechargeable battery.

It is not indicated at all about how a contact process and a radio type are changed to this literature.

[0013] Drawing 18 shows the 2nd example of the conventional pair card.

[0014] This example is related with the IC card indicated by Patent Gazette No. 2755809. This literature is indicated about the contact process and the radio type switching system. This switching system compares the potential U2 of the VDD terminal for contact with the reference potential U1 generated at the time of radio mode with the comparator 2.1.2 and changes a contact process and a radio type based on that comparison result.

[0015] However in this method in order to compare the potential U2 of the VDD terminal for contact with the reference potential U1 generated at the time of radio mode the accuracy of the comparator 2.1.2 poses a problem and there is a fault that a switching circuit including the comparator 2.1.2 becomes complicated.

[0016] It is not indicated at all about how a contact process and a radio type are changed to this literature using the comparison result of the comparator 2.1.2.

[0017]

[Problem(s) to be Solved by the Invention] The purpose of this invention is to provide LSI for pair cards which can change a contact process and a radio type with a simple method.

[0018]

[Means for Solving the Problem] (1) LSI for pair cards of this invention is provided with the following.

A linear circuit for contact connected to two or more external terminals.

A linear circuit for radio which is connected to an antenna and the 1st power supply potential is generated based on a radio signal and sets a switch signal as the 1st level when said 1st power supply potential exceeds a predetermined threshold and sets a switch signal as the 2nd level when said 1st power supply potential does not reach said predetermined threshold.

A switching circuit which enables transfer of data in said linear circuit for radio when said switch signal is the 1st level and enables transfer of data in said linear circuit for contact when said switch signal is the 2nd level.

[0019] A circuit which generates said 1st power supply potential is connected to a node for internal electrical power sources via a diode for prevention of backflow and a terminal in which the 2nd power supply potential is impressed among said two or more external terminals is also connected to said node for internal electrical power sources.

[0020] When said switch signal of LSI for pair cards of this invention is the 1st level further it recognizes that it is in radio mode and a processing program at the time of radio mode is executed and when said switch signal is the 2nd level it has a control

circuit which recognizes that it is in contact mode and executes a processing program at the time of contact mode.

[0021](2) LSI for pair cards of this invention is provided with the following.

A linear circuit for contact connected to two or more external terminals.

A linear circuit for radio connected to an antenna.

A control circuit which judges operational mode based on a state of each signal generated in a state and said linear circuit for radio of each signal inputted into said linear circuit for contact.

A switching circuit which enables transfer of data in said linear circuit for contact when transfer of data is enabled in said linear circuit for radio when said control circuit has recognized radio mode and said control circuit has recognized contact mode.

[0022]Further LSI for pair cards of this invention is provided with a switching circuit which fixes said two or more external terminals to earth potentials respectively when said control circuit recognizes radio mode.

[0023](3) An IC chip of this invention is carried in an IC module for IC cards and each vamp each pad for wirebonding and for flip chip bonding is arranged on a main table side of said IC chip respectively.

[0024]

[Embodiment of the Invention] Hereafter LSI for pair cards of this invention is explained in detail referring to drawings.

[0025]Drawing 1 shows the 1st example of the pair card with which this invention is applied.

[0026]The antenna 31 the connection part 32 and the LSI section 33 for pair cards are built in the plastic card 30. The antenna 31 is for exchanging data between the external devices (reader/writer) 38 or acquiring electric power from the external device 38. The connection part 32 has each external terminal (electrode) of I/O (input and output) CLK (clock) RST (reset) VDD (power supply) and VSS (grounding) and performs an exchange of data etc. by carrying out direct contact of these external terminals to the external device (reader/writer) 39.

[0027]The LSI section 33 for pair cards comprises the linear circuit 34 for radio the linear circuit 35 for contact the switching circuit 36 and the logic/memory circuit 37. The linear circuit 34 for radio is provided with the radio signal detector circuit the power-supply-potential generating circuit the radio / contact switch signal generating circuit etc. The linear circuit 35 for contact is provided with the level shift circuit etc.

[0028]The switching circuit 36 performs the change in radio mode and contact mode based on the radio / contact switch signal outputted from the linear circuit 34 for radio. At the time of radio mode data is exchanged between the linear circuit 34 for radio and the logic/memory circuit 37 and data is exchanged between the linear circuit 35 for contact and the logic/memory circuit 37 at the time of contact mode.

[0029]CPU and random logic for logic / memory circuit 37 to process various kinds of signalsIt comprises a ROM by which the disposal method of data is programmed according to each mode (contactradio)RAM used as an object for the temporary storage of dataand an EEPROM used as an object for data storage.

[0030]Drawing 2 and drawing 3 show the composition of LSI for pair cards of drawing 1 in detail.

[0031]The terminals CP and CM are formed in the linear circuit 34 for radio. The antenna for transmitting and receiving a radio signal (AC signal)or acquiring electric power is connected to these terminals CP and CM.

[0032]The detector (detector circuit) 41 is connected to terminal CP. This detector 41 has the function to detect data from the radio signal received with the antenna. The limiting circuit 42the regulator 43and the diode D1 are connected to terminal CP. In the course of the limiting circuit 42 and the regulator 43the power supply potential VCC in radio Mohd is generated based on a radio signal (AC signal).

[0033]The diode D1 is to keep current from flowing backwards from the external terminal VDD to the regulator 43 at the time of contact Mohd.

[0034]In the bandgap circuit 44 and the course of the battery level detector 45. When the level of the power supply potential (DC power supply) generated from the radio signal (AC signal) is detected and the level of this power supply potential exceeds a predetermined thresholdit judges that he is radio Mohd and radio / contact switch signal RFRST is made into "H". On the contrarywhen the level of power supply potential has not reached a predetermined thresholdit judges that he is contact Mohd and radio / contact switch signal RFRST is set to "L."

[0035]The clock extraction circuit 46 is connected to terminal CM. The clock extraction circuit 46 is for extracting clock signal RFCLK from the radio signal received by the antenna.

[0036]Radio / contact switch signal RFRST is inputted into the logic circuit (AND circuit) A1 and A2. Thereforewhen this signal RFRST is "H"the data which serves as radio mode and is outputted from the detector 41 is supplied to logic / memory circuit 37 via the logic circuit A1 and the logic circuit (OR circuit) O1. Similarlywhen the signal RFRST is "H"clock signal RFCLK outputted from the clock extraction circuit 46 is supplied to logic / memory circuit 37 via the logic circuit A2 and the logic circuit (OR circuit) O3.

[0037]At the time of radio modesince data is outputted (transmission)the resistance R1 and MOS transistor M1 are used.

[0038]On the other handthe linear circuit 35 for contact is connected to the external terminals VDD and VSSI/Oand CLKRST. In the bandgap circuit 47 and the course of the battery level detector 48the level of power supply potential impressed to the external terminal VDD is detected about the diode D2MOS transistor M2the bandgap circuit 47and the battery level detector 48 which are connected to the external terminal VDD. Namelywhen the potential impressed to the external terminal VDD is

3V signal CF1 becomes "H" and signal CF1 is set to "L" at the time of 5V.

[0039] Since signal CF1 is "H" at the time of radio mode when radio / contact switch signal RFRST is in "H" and contact mode (power supply 3V) in any case the output of logic circuit (NOR circuit) NR1 will be set to "L" and MOS transistor M2 will be in an ON state. Since radio / contact switch signal RFRST and signal CF1 is set to "L" at both the times of contact mode (power supply 5V) the output of logic circuit NR1 will serve as "H" and MOS transistor M2 will be in an OFF state.

[0040] The diode D2 is for preventing the back run of current.

[0041] The external terminal RSTI/O and CLK are connected to logic circuit (AND circuit) A3 – A5 via the level shifters 49–51 respectively. In the level shifters 49–51 the level shift of the signal of a VDD system is carried out to the signal of a VCC system. The inversion signal/RFRST of radio / contact switch signal RFRST are inputted into logic circuit A3 – A5.

[0042] When the inversion signal/RFRST of radio / contact switch signal RFRST are "H" it becomes contact mode and the output signal of the level shifters 49–51 is supplied to logic / memory circuit 37 via logic circuit A3 – A5. The oscillator 52 outputs clock signal OSCCLK at this time.

[0043] At the time of contact mode since data is outputted the resistance R2 and MOS transistor M3 are used.

[0044] Next operation of drawing 2 and LSI for pair cards of drawing 3 is explained in detail.

[0045] 1. At the time of radio mode the radio wave signal for power supplies (AC signal) is inputted from an antenna a half wave or full wave rectification is first performed about this signal and power supply potential (DC power supply) is generated. The limiting circuit 42 the regulator 43 and the bandgap circuit 44 are operated based on this power supply potential and the power supply potential (internal electrical power source) VCC is generated.

[0046] If the power supply potential VCC is supplied to the battery level detector 45 and this power supply potential VCC exceeds a predetermined threshold the radio / contact switch signal RFRST outputted from the battery detector 45 will serve as "H".

[0047] If radio / contact switch signal RFRST becomes "H" CPU of logic / memory circuit 37 will judge that the present mode is radio mode.

[0048] Therefore CPU processes data according to the processing program at the time of the radio mode memorized by ROM.

[0049] Since one input signal RFRST serves as "H" by the logic circuit (AND circuit) A1 and A2 at this time the input signal (data clock signal) of another side is outputted as an output signal as it is. In logic circuit (AND circuit) A3 – A5 since one input signal/RFRST are set to "L" the output signal of these logic circuit A3 – A5 is always set to "L."

[0050] For this reason data is supplied to logic / memory circuit 37 via the logic circuit

A1 and O1 from the detector 41 at the time of radio mode. Clock signal RFCLK is supplied to logic / memory circuit 37 via the logic circuit A2 from the clock extraction circuit 46 and the clock signal CLK is supplied to logic / memory circuit 37 via the logic circuit A2 and O3 from the clock extraction circuit 46.

[0051] In logical-circuit AA since the signal RFOUT is set to "H" or "L" according to output data, data is outputted via the output circuit (MOS transistor M1) of the linear circuit 34 for radio. On the other hand, since the output signal COUT of logical-circuit AA is always set to "L", the output circuit (MOS transistor M3) of the linear circuit 35 for contact does not operate.

[0052] 2. At the time of contact mode, in this mode power supply potential or a signal (data \*\*\*\*\*) is supplied from the external terminals VDDVSS and RSTI/O and CLK and the radio signal is not supplied.

[0053] Therefore, in the linear circuit 34 for radio power supply potential (DC power supply) is not generated and the radio / contact switch signal RFRST outputted from the battery detector 45 becomes "L".

[0054] If radio / contact switch signal RFRST is set to "L", CPU of logic / memory circuit 37 will judge that the present mode is contact mode.

[0055] Therefore, CPU processes data according to the processing program at the time of the contact mode memorized by ROM.

[0056] At this time, the power supply potential of 3V or 5V is supplied from the external terminal VDD. With this power supply potential, the bandgap circuit 47 and the battery level detector 48 operate and the signal RST (2) is set to "L". Since signal CF1 is "H" when a power supply is 3V, the output of logic circuit (NOR circuit) NR1 will be set to "L" and MOS transistor M2 will be in an ON state. Since radio / contact switch signal RFRST and signal CF1 is set to "L" when [ both ] a power supply is 5V, the output of logic circuit NR1 will serve as "H" and MOS transistor M2 will be in an OFF state.

[0057] When power supply potential is supplied from the external terminal VDD in order to keep current from flowing into the linear circuit 34 for radio, the diode D1 is formed.

[0058] In logic circuit (AND circuit) A3 - A5, since one input signal / RFRST serve as "H", the input signal (a reset signal / data / clock signal) of another side is outputted as an output signal as it is. In the logic circuit (AND circuit) A1 and A2, since one input signal RFRST is set to "L", these logic circuits A1 and the output signal of A2 are always set to "L".

[0059] For this reason, data is supplied to logic / memory circuit 37 via the level shifter 50 and logic circuit A3 and O1 from terminal I/O at the time of contact mode. The clock signal CLK is supplied to logic / memory circuit 37 via the level shifter 51 and logic circuit A5 and O3 from the terminal CLK and the reset signal RST is supplied to logic / memory circuit 37 via the level shifter 49 and logic circuit A4 and O2 from the terminal RST.

[0060] Since the inversion signal / RFRST of radio / contact switch signal RFRST are "H", the oscillator 52 operates and clock signal OSCCLK is generated by this oscillator.

52.

[0061]In logical-circuit AA since the signal COUT is set to "H" or "L" according to output data data is outputted via the output circuit (MOS transistor M3) of the linear circuit 35 for contact. On the other hand since the output signal RFOUT of logical-circuit AA is always "L" the output circuit (MOS transistor M1) of the linear circuit 34 for radio does not operate.

[0062]As mentioned above as explained according to the 1st example of LSI for pair cards of this invention the existence of the power supply potential (DC power supply) generated based on a radio signal in the linear circuit for radio is performing the change in radio mode and contact mode.

[0063]That is when power supply potential is generated in the linear circuit for radioswitch signal RFRST is made into "H" this is given to CPU and CPU is made to recognize that it is in radio mode. Simultaneously a clock signal and data are made to be outputted by the switching circuit from the linear circuit for radio. On the other hand when power supply potential is not generated in the linear circuit for radioswitch signal RFRST is set to "L" this is given to CPU and CPU is made to recognize that it is in contact mode. Simultaneously a clock signal and data are made to be outputted by the switching circuit from the linear circuit for contact.

[0064]LSI for pair cards which can change a contact process and a radio type with a simple method by this can be provided.

[0065]Drawing 4 shows the 2nd example of the pair card with which this invention is applied.

[0066]The antenna 31 the connection part 32 and the LSI section 33 for pair cards are built in the plastic card 30. The antenna 31 is for exchanging data between the external devices (reader/writer) 38 or acquiring electric power from the external device 38. The connection part 32 has each external terminal (electrode) of I/O (input and output) CLK (clock) RST (reset) VDD (power supply) and VSS (grounding) and performs an exchange of data etc. by carrying out direct contact of these external terminals to the external device (reader/writer) 39.

[0067]The LSI section 33 for pair cards comprises the linear circuit 34 for radio the linear circuit 35 for contact the switching circuits 36 and 40 and the logic/memory circuit 37. The linear circuit 34 for radio is provided with the radio signal detector circuit the power-supply-potential generating circuit the radio / contact switch signal generating circuit etc. The linear circuit 35 for contact is provided with the level shift circuit etc.

[0068]CPU and random logic for logic / memory circuit 37 to process various kinds of signals It comprises a ROM where the program for judging operational mode and the processing program of the data according to each operational mode (contact radio) are saved RAM used as an object for the temporary storage of data and an EEPROM used as an object for data storage.

[0069]The switching circuit 36 performs the change in radio mode and contact mode

based on the radio / contact switch signal outputted from logic / memory circuit 37. At the time of radio mode data is exchanged between the linear circuit 34 for radio and the logic/memory circuit 37 and data is exchanged between the linear circuit 35 for contact and the logic/memory circuit 37 at the time of contact mode.

[0070]The switching circuit 40 is because each external terminal (electrode) of I/O (input and output) of the connection part 32 CLK (clock) RST (reset) VDD (power supply) and VSS (grounding) is fixed to earth potentials at the time of radio mode.

[0071]In radio mode using it in the state where it kept in the wallet or the pass holder for example holding up a pair card to the reader/writer for radio can think. In this case with electric conduction things such as coin the external terminals for contact of a pair card (for example a VDD terminal and a VSS terminal) may short-circuit and it may have an adverse effect on operation. In order to eliminate this possibility at the time of radio mode each external terminal (electrode) of the connection part 32 is fixed to earth potentials.

[0072]The focus of the pair card of this example is at the point of performing the judgment of operational mode by CPU in logic / memory circuit 37 using software. Namely CPU in logic / memory circuit 37. The state of each signal such as power supply potential, a clock signal etc. which are inputted into the state and the linear circuits 35 for contact of each signal which are generated in the linear circuit 34 for radio such as power supply potential and a clock signal is monitored and operational mode is judged by judging the state of these each signal synthetically.

[0073]For example when power supply potential is generated in the linear circuit 34 for radio and power supply potential is not inputted into the linear circuit 35 for contact it is judged with radio mode by CPU in logic / memory circuit 37. On the contrary power supply potential is not generated in the linear circuit 34 for radio. When power supply potential is inputted into the linear circuit 35 for contact it is judged with contact mode by CPU in logic / memory circuit 37.

[0074]For example although power supply potential is inputted into the linear circuit 35 for contact since the judgment in the mode is impossible when a clock signal is not inputted but the clock signal is generated in the linear circuit 34 for radio this mode determination operation is suspended. The case where power supply potential is generated in the linear circuit 34 for radio and power supply potential is simultaneously inputted into the linear circuit 35 for contact since the judgment in the mode is impossible when a clock signal is generated in the linear circuit 34 for radio and the clock signal is simultaneously inputted into the linear circuit 35 for contact this mode determination operation is suspended.

[0075]CPU's judgment of operational mode will transmit the decision result to the switching circuits 36 and 40 with radio / contact switch signal.

[0076]As mentioned above as explained according to the 2nd example of LSI for pair cards of this invention CPU is performing first the judgment of operational mode performed first using software (program for an operational mode judging). That is the

change of radio Mohd and contact Mohd is performed by judging synthetically the state of each signal inputted into the state and the linear circuit for contact of each signal which are generated in the linear circuit for radio by CPU. Thus the change of a contact process and a radio type can be easily performed by judging operational mode in CPU.

[0077] By the way the pair card or the contact type IC card has a connection part used as an external device and the interface of IC (chip) and this connection part is constituted by the IC module which has two or more external terminals (electrode).

[0078] Drawing 5 shows the appearance of an IC card. The plastic card 10 has fixed thickness and the emboss area is established in a part of the surface. IC (chip) is carried in IC module 53. The external terminal (electrode) 54 is formed in the field of an opposite hand to the near field in which IC of IC module 53 is carried. IC module 53 is inserted in an emboss area as the external terminal 54 becomes unreserved.

[0079] Drawing 6 shows the IC module. Drawing 7 is a sectional view which meets the VII-VII line of drawing 6. The external terminal is omitted in drawing 6. IC(chip) 55 is carried in the whole surface side of IC module 53. IC55 is covered with the resin 56.

IC module 53 -- on the other hand the exterior electrodes 54 are formed in the side.

[0080] Drawing 8 shows an example of the connection technology of an IC module and IC (chip). Drawing 9 takes out and shows only IC of drawing 8.

[0081] This art connects the terminal of IC module 53 and the pad of IC55 by the bonding wire 57. IC is carried on IC module 53 as an I/O (input and output) pad and CLK (clock) pad and RST (reset) pad and VDD (power supply) pad and a VSS (grounding) pad become unreserved respectively.

[0082] Corresponding to each pad of IC55 an I/O (input and output) terminal the CLK (clock) terminal the RST (reset) terminal the VDD (power supply) terminal and the VSS (grounding) terminal are formed in IC module 53. The position of each terminal of IC module 53 is beforehand decided corresponding to the position of each pad of IC55. And the terminal of IC module 53 and the pad of IC55 are mutually connected by the bonding wire 57.

[0083] The I/O (input and output) terminal arranged at the whole surface side of IC module 53 a CLK (clock) terminal a RST (reset) terminal a VDD (power supply) terminal and a VSS (grounding) terminal. It is electrically connected to the external terminal (I/OCLKRSTVDDVSS) of IC module 53 arranged on the other hand at a side via a through hole respectively.

[0084] Drawing 10 shows other examples of the connection technology of an IC module and IC (chip). Drawing 11 takes out and shows only IC of drawing 10.

[0085] This art connects the vamp of IC55 with the terminal of IC module 53 by flip chip bonding. IC is carried on IC module 53 as an I/O (input and output) vamp and CLK (clock) vamp and RST (reset) vamp and VDD (power supply) vamp and a VSS (grounding) vamp hide between an IC module and IC respectively.

[0086] Corresponding to each vamp of IC55 an I/O (input and output) terminal the CLK

(clock) terminal the RST (reset) terminal the VDD (power supply) terminal and the VSS (grounding) terminal are formed in IC module 53. The position of each terminal of IC module 53 is beforehand decided corresponding to the position of each vamp of IC55. And the terminal of IC module 53 and the vamp of IC55 are mutually connected by sticking-by-pressure art.

[0087]The I/O (input and output) terminal arranged at the whole surface side of IC module 53 a CLK (clock) terminal a RST (reset) terminal a VDD (power supply) terminal and a VSS (grounding) terminal It is electrically connected to the external terminal (I/OCLKRSTVDDVSS) of IC module 53 arranged on the other hand at a side via a through hole respectively.

[0088]As mentioned above although two connection technology of an IC module and IC (chip) was explained in these two art direction of the chip which carries in an IC module differs mutually. That is in using a bonding wire as each pad can be seen it carries IC in an IC module but when based on flip chip bonding as each pad hides IC is carried in an IC module.

[0089]Therefore rearrangement (layout) of the putt of IC in the case of applying the connection technology using a bonding wire supposing it does not change the composition of an IC module The putt of IC in the case of applying the connection technology by flip chip bonding or arrangement (layout) of the vamp on a pad comes to be shown in drawing 11 to coming to be shown in drawing 9.

[0090]That is if the layout of drawing 9 is compared with the layout of drawing 11 in these two pad (or vamp) layouts right and left are reverse mutually so that clearly. For this reason in manufacturing IC for IC cards a pad (or vamp) layout must prepare two kinds of things of right-and-left reverse so that it can respond to two above-mentioned connection technology.

[0091]Although it is also possible to enable it to correspond to two above-mentioned connection technology according to one kind of pad (or vamp) layout by changing the layout of each terminal of an IC module users' excessive work increases in this case and complication of a mounting step is caused.

[0092]Below the pad (or vamp) layout which can respond to two above-mentioned connection technology according to one kind of layout is proposed without making a user's burden in a mounting step increase.

[0093]Drawing 12 shows the example which electrically connected IC to which this invention was applied and the terminal of the IC module by the bonding wire. Drawing 13 shows the example which electrically connected IC to which this invention was applied and the terminal of the IC module by flip chip bonding. Drawing 14 shows the pad (or vamp) layout of this invention.

[0094]First the pad (or vamp) layout of this invention is explained (drawing 14).

[0095]The feature of the pad (or vamp) layout of this invention It is in the point which has arranged each pad for wire bonding (I/OCLKRSTVDDVSS) and each vamp for flip chip bonding (I/OCLKRSTVDDVSS) on IC (chip) respectively.

[0096]For example when the main table side of IC (chip) is divided into two fields on either side To a left-hand side field an I/O pad and a VSS pad and a CLK terminal and a RST terminal and a VDD terminal and a VSS terminal are arranged and a CLK terminal and a RST terminal and a VDD terminal and a VSS terminal are arranged to a right-hand side field to it.

[0097]At the time of wirebonding by this the I/O pad and VSS pad for wirebonding are arranged at the position corresponding to the I/O terminal and VSS terminal of IC module 53 and the CLK terminal and RST terminal and VDD terminal and VSS terminal are arranged similarly at the position corresponding to the CLK terminal and RST terminal and VDD terminal of IC module 53.

[0098]At the time of flip chip bonding the I/O terminal and VSS terminal for sticking by pressure are arranged at the position corresponding to the I/O terminal and VSS terminal of IC module 53 and the CLK terminal and RST terminal and VDD terminal and VSS terminal are arranged similarly at the position corresponding to the CLK terminal and RST terminal and VDD terminal of IC module 53.

[0099]Thus according to the pad (or vamp) layout of this invention it can respond to any connection technology of wirebonding and flip chip bonding and the design of a chip the burden of the maker at the time of manufacture and a user's burden in a mounting step can be eased.

[0100]Next the composition at the time of electrically connecting IC to which this invention was applied and the terminal of an IC module by a bonding wire is explained (drawing 12).

[0101]IC is carried on IC module 53 as each pad for wirebonding (I/O, CLK, RST, VDD, VSS) and each vamp for flip chip bonding (I/O, CLK, RST, VDD, VSS) become unreserved respectively.

[0102]Corresponding to each pad of IC55 an I/O (input and output) terminal, the CLK (clock) terminal, the RST (reset) terminal, the VDD (power supply) terminal and the VSS (grounding) terminal are formed in IC module 53. The position of each terminal of IC module 53 is beforehand decided corresponding to the position of each pad of IC55. And the terminal of IC module 53 and the pad of IC55 are mutually connected by the bonding wire 57.

[0103]Next the composition at the time of electrically connecting IC to which this invention was applied and the terminal of an IC module by flip chip bonding is explained (drawing 13).

[0104]IC Each pad for wirebonding (I/O, CLK, RST, VDD, VSS) As each vamp for flip chip bonding (I/O, CLK, RST, VDD, VSS) hides between an IC module and IC respectively she is carried on IC module 53.

[0105]Corresponding to each vamp of IC55 an I/O (input and output) terminal, the CLK (clock) terminal, the RST (reset) terminal, the VDD (power supply) terminal and the VSS (grounding) terminal are formed in IC module 53. The position of each terminal of IC module 53 is beforehand decided corresponding to the position of each vamp of IC55. And the terminal of IC module 53 and the vamp of IC55 are mutually connected by

sticking-by-pressure art.

[0106]Here each pad of IC55 is arranged at a position which does not contact each terminal of IC module 53 at the time of flip chip bonding.

[0107]The I/O (input and output) terminal arranged in drawing 12 and drawing 13 at the whole surface side of IC module 53A CLK (clock) terminal a RST (reset) terminal a VDD (power supply) terminal and a VSS (grounding) terminal are electrically connected to the external terminal (I/OCLKRSTVDDVSS) of IC module 53 arranged on the other hand at a side via a through hole respectively.

[0108]As mentioned above as explained according to the pad layout of IC (chip) of this invention. Beforehand each pad for wirebonding (I/OCLKRSTVDDVSS) and each vamp for flip chip bonding (I/OCLKRSTVDDVSS) are arranged on the main table side of IC respectively. For this reason even if it is a case where which connection technology of wirebonding and flip chip bonding is applied one kind of pad (or vamp) layout can attain modularization of IC and the design of a chip the burden of the maker at the time of manufacture and a user's burden in a mounting step can be made to ease.

[0109]

[Effect of the Invention]According to the 1st example of LSI for pair cards of this invention the existence of the power supply potential (DC power supply) generated based on a radio signal in the linear circuit for radio is performing the change in radio mode and contact mode.

[0110]That is when power supply potential is generated in the linear circuit for radio switch signal RFRST is made into "H" this is given to CPU and CPU is made to recognize that it is in radio mode. Simultaneously a clock signal and data are made to be outputted by the switching circuit from the linear circuit for radio. On the other hand when power supply potential is not generated in the linear circuit for radio switch signal RFRST is set to "L" this is given to CPU and CPU is made to recognize that it is in contact mode. Simultaneously a clock signal and data are made to be outputted by the switching circuit from the linear circuit for contact.

[0111]LSI for pair cards which can change a contact process and a radio type with a simple method by this can be provided.

[0112]According to the 2nd example of LSI for pair cards of this invention CPU is performing first the judgment of operational mode performed first using software (program for an operational mode judging). That is the change in radio mode and contact mode is performed by judging synthetically the state of each signal inputted into the state and the linear circuit for contact of each signal which are generated in the linear circuit for radio by CPU. Thus the change of a contact process and a radio type can be easily performed by judging operational mode in CPU.

[0113]According to the pad layout of IC (chip) of this invention on the main table side of IC beforehand Each pad for wirebonding (I/OCLKRSTVDDVSS) Each vamp for flip chip bonding (I/OCLKRSTVDDVSS) is arranged respectively. Therefore even if it is a case where which connection technology of wirebonding and flip chip bonding is

One kind of pad (or vamp) layout can attain modularization of IC and the design of a chip the burden of the maker at the time of manufacture and a user's burden in a mounting step can be made to ease.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] The figure showing the 1st example of the pair card with which this invention is applied.

[Drawing 2] The figure showing the entire configuration of LSI for pair cards of this invention.

[Drawing 3] The figure showing the principal part of LSI for pair cards of this invention.

[Drawing 4] The figure showing the 2nd example of the pair card with which this invention is applied.

[Drawing 5] The figure showing the appearance of an IC card.

[Drawing 6] The figure showing an IC module.

[Drawing 7] The sectional view which meets the VII-VII line of drawing 6.

[Drawing 8] The figure showing the connection technology by wirebonding.

[Drawing 9] The figure showing the pad layout of IC of drawing 8.

[Drawing 10] The figure showing the connection technology by flip chip bonding.

[Drawing 11] The figure showing the vamp layout of IC of drawing 10.

[Drawing 12] The figure showing the connection technology by wirebonding using IC of this invention.

[Drawing 13] The figure showing the connection technology by the flip chip bonding using IC of this invention.

[Drawing 14] The figure showing the vamp layout of IC of drawing 12 and drawing 13.

[Drawing 15] The figure showing the outline of the composition of the conventional contact type IC card.

[Drawing 16] The figure showing the outline of the composition of the conventional radio type IC card.

[Drawing 17] The figure showing the example of composition of the conventional pair card.

[Drawing 18] The figure showing the example of composition of the conventional pair card.

[Description of Notations]

30 : plastic card

31 : antenna

32 : connection part

33 : LSI for pair cards

34 : the linear circuit for radio

35 : the linear circuit for contact  
3640 : Switching circuit  
37 : logic/memory circuit  
3839 : External device (a readera writer)  
41 : detector  
42 : limiting circuit  
43 : regulator  
4447 : Bandgap circuit  
4548 : Battery level detector  
46 : clock extraction circuit  
49–51 : Level shifter  
52 : oscillator  
53 : IC module  
54 : external terminal (electrode)  
55 : IC (chip)  
56 : resin  
57 : bonding wire  
A1 – A5 : Logic circuit (AND circuit)  
O1–O3 : Logic circuit (OR circuit)  
NR1 : Logic circuit (NOR circuit)  
I1 : inverter  
D1–D3 : Diode  
R1R2 : Resistance  
M1–M3 : MOS transistor.

---

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2000-148961  
(P2000-148961A)

(43)公開日 平成12年5月30日 (2000.5.30)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
G 0 6 K 19/077		G 0 6 K 19/00	K 5 B 0 3 5
17/00		17/00	B 5 B 0 5 8
19/07		19/00	F H

審査請求 未請求 請求項の数6 O L (全13頁)

(21) 出願番号	特願平11-46390
(22) 出願日	平成11年2月24日 (1999.2.24)
(31) 優先権主張番号	特願平10-245910
(32) 優先日	平成10年8月31日 (1998.8.31)
(33) 優先権主張国	日本 (JP)

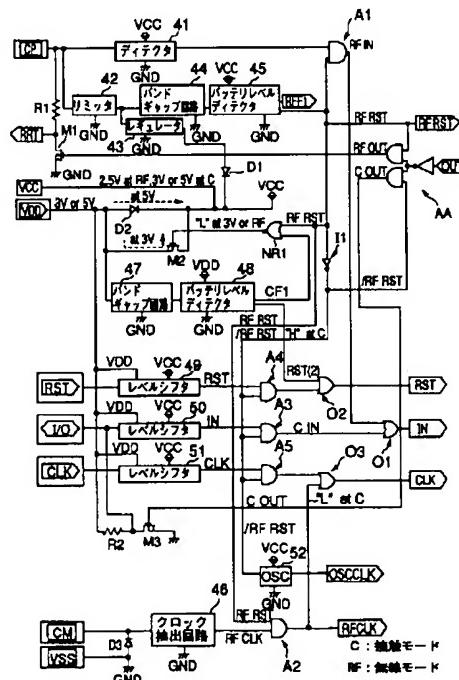
(71) 出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(72) 発明者	長谷部 信一 神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内
(74) 代理人	100058479 弁理士 鈴江 武彦 (外6名) Fターム(参考) 5B035 AA00 BB09 CA11 CA25 5B058 CA13 CA17 KA21

(54) 【発明の名称】 コンピカード用LSI

## (57) 【要約】

【課題】 簡単な構成で、無線／接触の切替え可能なLSIカードを提供する。

【解決手段】 アンテナから無線信号が入力されると、無線用リニア回路で電源電位が生成され、切り替え信号RF RSTが“H”になる。この時、CPUは、無線モードを認識し、無線モード時の処理プログラムを実行する。また、論理回路A1, A2では、無線信号に基づくデータ、クロック信号を転送可能な状態にする。一方、アンテナから無線信号が入力されていないと、切り替え信号RF RSTは“L”になる。この時、CPUは、接触モードを認識し、接触モード時の処理プログラムを実行する。また、論理回路A3～A5では、外部端子から入力されるリセット信号、データ、クロック信号を転送可能な状態にする。



## 【特許請求の範囲】

【請求項1】複数の外部端子に接続される接触用リニア回路と、アンテナに接続され、無線信号に基づいて第1電源電位を生成すると共に、前記第1電源電位が所定の閾値を超えるときに切り替え信号を第1レベルに設定し、前記第1電源電位が前記所定の閾値に達しないときに切り替え信号を第2レベルに設定する無線用リニア回路と、前記切り替え信号が第1レベルのとき、前記無線用リニア回路においてデータの授受を可能にし、前記切り替え信号が第2レベルのとき、前記接触用リニア回路においてデータの授受を可能にする切り替え回路とを具備することを特徴とするコンビカード用LSI。

【請求項2】前記第1電源電位を生成する回路は、逆流防止用ダイオードを経由して内部電源用ノードに接続され、前記複数の外部端子のうち第2電源電位が印加される端子も、前記内部電源用ノードに接続されていることを特徴とする請求項1記載のコンビカード用LSI。

【請求項3】前記切り替え信号が第1レベルのとき、無線モードであることを認識して無線モード時の処理プログラムを実行し、前記切り替え信号が第2レベルのとき、接触モードであることを認識して接触モード時の処理プログラムを実行する制御回路を具備することを特徴とする請求項1記載のコンビカード用LSI。

【請求項4】複数の外部端子に接続される接触用リニア回路と、アンテナに接続される無線用リニア回路と、前記接触用リニア回路に入力される各信号の状態及び前記無線用リニア回路で生成される各信号の状態に基づいて動作モードの判定を行う制御回路と、前記制御回路が無線モードを認識したとき、前記無線用リニア回路においてデータの授受を可能にし、前記制御回路が接触モードを認識したとき、前記接触用リニア回路においてデータの授受を可能にする切り替え回路とを具備することを特徴とするコンビカード用LSI。

【請求項5】前記制御回路が無線モードを認識しているとき、前記複数の外部端子をそれぞれ接地電位に固定する切り替え回路を具備することを特徴とする請求項4記載のコンビカード用LSI。

【請求項6】ICカード用のICモジュールに搭載されるICチップにおいて、前記ICチップの主表面上に、ワイヤボンディング用の各パッドとフリップチップボンディング用の各バンプをそれぞれ配置したことを特徴とするICチップ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、接触式ICカードと無線式ICカードを合体させたいわゆるコンビカードに使用されるLSIに関する。

## 【0002】

【従来の技術】従来、ICカードとしては、接触式ICカードと無線式ICカードの二種類が知られている。

【0003】図15は、従来の接触式ICカードの構成の概略を示すものである。

【0004】プラスチックカード10には、コネクト部11及びICカード用MPU12が搭載されている。コネクト部11は、外部電極を有しており、この外部電極を外部装置（リーダ／ライタ）18に直接接触させることによりデータなどのやりとりを行う。一般に、コネクト部11とICカード用MPU12は、モジュール化され、ICモジュールとなっており、このICモジュールをプラスチックカード10のエンボス領域に嵌め込むことでICカードが出来上がる。

【0005】ICカード用MPU12は、制御部13、演算部14、ROM15、RAM16及びEEPROM17を備えている。ROM15には、データ処理用のプログラムが保存されている。また、RAM16は、データの一時記憶用として用いられ、EEPROM17は、データ保存用として用いられる。

【0006】図16は、従来の無線式ICカードの構成の概略を示すものである。

【0007】プラスチックカード20には、アンテナ21及びICカード用MPU22が内蔵されている。アンテナ21は、外部装置（リーダ／ライタ）30との間でデータなどのやりとりを行うためのものである。ICカード用MPU22は、変復調回路23、入出力制御回路24、CPU25、ROM26、SRAM27、EEPROM28及びバス29を備えている。

【0008】アンテナ21において受信された無線信号は、変復調回路23を経由して入出力制御回路24に入力される。また、ROM26には、データ処理用のプログラムが保存されている。SRAM27は、データの一時記憶用として用いられ、EEPROM28は、データ保存用として用いられる。

【0009】ところで、近年では、携帯するカードの枚数を減らすべく、1枚のカードで様々なアプリケーションを処理できるマルチカードが開発されてきている。これに伴い、従来、別々に携帯していた接触式ICカードと無線式ICカードを合体させ、1枚のカードで多くのアプリケーションを処理できるようにしたコンビカードの開発も進められている。

【0010】このコンビカードは、例えば、電子マネー（接触式）と定期券（無線式）を組み合わせて用いるようなシステムに有望視されている。

【0011】図17は、従来のコンビカードの第1例を示すものである。

【0012】本例は、特開平5-333966号公報に開示されたICカードに関する。このICカードは、1枚のカード内に接触式と無線式の両方の機能を備え付けている。しかし、このICカードは、バッテリを内蔵しており、かつ、このバッテリの寿命を充電式電池を用いることにより延ばしている。また、この文献には、接触

式と無線式をどのように切り替えるかについて何ら開示されていない。

【0013】図18は、従来のコンビカードの第2例を示すものである。

【0014】本例は、特許公報第2755809号に開示されたICカードに関する。この文献は、接触式と無線式の切り替え方式について開示している。この切り替え方式は、接触用VDD端子の電位U2と無線モード時に生成される基準電位U1をコンパレータ2.1.2で比較し、その比較結果に基づいて接触式と無線式を切り替えるものである。

【0015】しかし、この方式では、接触用VDD端子の電位U2と無線モード時に生成される基準電位U1を比較するため、コンパレータ2.1.2の精度が問題となると共に、コンパレータ2.1.2を含めた切り替え回路が複雑になるという欠点がある。

【0016】また、この文献には、コンパレータ2.1.2の比較結果を用いて、接触式と無線式をどのように切り替えるかについて何ら開示されていない。

#### 【0017】

【発明が解決しようとする課題】本発明の目的は、単純な方式により接触式と無線式を切り替えることができるコンビカード用LSIを提供することにある。

#### 【0018】

【課題を解決するための手段】(1) 本発明のコンビカード用LSIは、複数の外部端子に接続される接触用リニア回路と、アンテナに接続され、無線信号に基づいて第1電源電位を生成すると共に、前記第1電源電位が所定の閾値を超えるときに切り替え信号を第1レベルに設定し、前記第1電源電位が前記所定の閾値に達しないときに切り替え信号を第2レベルに設定する無線用リニア回路と、前記切り替え信号が第1レベルのとき、前記無線用リニア回路においてデータの授受を可能にし、前記切り替え信号が第2レベルのとき、前記接触用リニア回路においてデータの授受を可能にする切り替え回路とを備える。

【0019】前記第1電源電位を生成する回路は、逆流防止用ダイオードを経由して内部電源用ノードに接続され、前記複数の外部端子のうち第2電源電位が印加される端子も、前記内部電源用ノードに接続される。

【0020】本発明のコンビカード用LSIは、さらに、前記切り替え信号が第1レベルのとき、無線モードであることを認識して無線モード時の処理プログラムを実行し、前記切り替え信号が第2レベルのとき、接触モードであることを認識して接触モード時の処理プログラムを実行する制御回路を備える。

【0021】(2) 本発明のコンビカード用LSIは、複数の外部端子に接続される接触用リニア回路と、アンテナに接続される無線用リニア回路と、前記接触用リニア回路に入力される各信号の状態及び前記無線用リ

ニア回路で生成される各信号の状態に基づいて動作モデルの判定を行う制御回路と、前記制御回路が無線モードを認識したとき、前記無線用リニア回路においてデータの授受を可能にし、前記制御回路が接触モードを認識したとき、前記接触用リニア回路においてデータの授受を可能にする切り替え回路とを備える。

【0022】本発明のコンビカード用LSIは、さらに、前記制御回路が無線モードを認識しているとき、前記複数の外部端子をそれぞれ接地電位に固定する切り替え回路を備える。

【0023】(3) 本発明のICチップは、ICカード用のICモジュールに搭載されるものであり、前記ICチップの主表面上に、ワイヤボンディング用の各パッドとフリップチップボンディング用の各バンプがそれぞれ配置される。

#### 【0024】

【発明の実施の形態】以下、図面を参照しながら、本発明のコンビカード用LSIについて詳細に説明する。

【0025】図1は、本発明が適用されるコンビカードの第1例を示すものである。

【0026】プラスチックカード30には、アンテナ31、コネクト部32及びコンビカード用LSI部33が内蔵されている。アンテナ31は、外部装置(リーダ/ライタ)38との間でデータのやりとりを行ったり、外部装置38から電力を取得するためのものである。コネクト部32は、I/O(入出力)、CLK(クロック)、RST(リセット)、VDD(電源)、VSS(接地)の各外部端子(電極)を有しており、これらの外部端子を外部装置(リーダ/ライタ)39に直接接触させることによりデータのやりとりなどを行う。

【0027】コンビカード用LSI部33は、無線用リニア回路34、接触用リニア回路35、切り替え回路36及びロジック/メモリ回路37から構成されている。無線用リニア回路34は、無線信号検出回路、電源電位生成回路、無線/接触切り替え信号生成回路などを備えている。接触用リニア回路35は、レベルシフト回路などを備えている。

【0028】切り替え回路36は、無線用リニア回路34から出力される無線/接触切り替え信号に基づいて無線モード及び接触モードの切り替えを行う。無線モードのときは、無線用リニア回路34とロジック/メモリ回路37の間でデータのやりとりを行い、接触モードのときは、接触用リニア回路35とロジック/メモリ回路37の間でデータのやりとりを行う。

【0029】ロジック/メモリ回路37は、各種の信号を処理するためのCPU及びランダムロジック、各モード(接触、無線)に応じてデータの処理方法がプログラムされているROM、データの一時記憶用として用いられるRAM、データ保存用として用いられるEEPROMから構成されている。

【0030】図2及び図3は、図1のコンピュータ用LSIの構成を詳細に示すものである。

【0031】無線用リニア回路34には、端子CP, CMが設けられている。この端子CP, CMには、無線信号（AC信号）の送受信を行ったり、電力を取得するためのアンテナが接続される。

【0032】端子CPには、ディテクタ（検出回路）41が接続される。このディテクタ41は、アンテナにより受信した無線信号からデータを検出する機能を有する。また、端子CPには、リミッタ42、レギュレータ43及びダイオードD1が接続される。リミッタ42及びレギュレータ43の経路では、無線信号（AC信号）に基づいて、無線モードにおける電源電位VCCが生成される。

【0033】なお、ダイオードD1は、接触モード時に、外部端子VDDからレギュレータ43に電流が逆流しないようにするためにものである。

【0034】バンドギャップ回路44及びバッテリレベルディテクタ45の経路では、無線信号（AC信号）から生成された電源電位（DC電源）のレベルを検出し、この電源電位のレベルが所定の閾値を超えたとき、無線モードであると判断し、無線／接触切り替え信号RFRSTを“H”にする。逆に、電源電位のレベルが所定の閾値に達していないとき、接触モードであると判断し、無線／接触切り替え信号RFRSTを“L”にする。

【0035】また、端子CMには、クロック抽出回路46が接続される。クロック抽出回路46は、アンテナにより受信された無線信号からクロック信号RFCLKを抽出するためのものである。

【0036】無線／接触切り替え信号RFRSTは、論理回路（アンド回路）A1, A2に入力される。よって、この信号RFRSTが“H”的とき、無線モードとなり、ディテクタ41から出力されるデータは、論理回路A1及び論理回路（オア回路）O1を経由してロジック／メモリ回路37に供給される。同様に、信号RFRSTが“H”的とき、クロック抽出回路46から出力されるクロック信号RFCLKは、論理回路A2及び論理回路（オア回路）O3を経由してロジック／メモリ回路37に供給される。

【0037】なお、抵抗R1及びMOSトランジスタM1は、無線モードのときに、データを出力（送信）するために使用される。

【0038】一方、接触用リニア回路35は、外部端子VDD, VSS, I/O, CLK, RSTに接続されている。外部端子VDDに接続されるダイオードD2、MOSトランジスタM2、バンドギャップ回路47及びバッテリレベルディテクタ48に関し、バンドギャップ回路47及びバッテリレベルディテクタ48の経路では、外部端子VDDに印加される電源電位のレベルを検出す。即ち、外部端子VDDに印加される電位が3Vのと

き、信号CF1は“H”となり、5Vのとき、信号CF1は“L”となる。

【0039】無線モードのときは、無線／接触切り替え信号RFRSTが“H”、接触モード（電源3V）のときは、信号CF1が“H”であるため、いずれの場合も、論理回路（ノア回路）NR1の出力は“L”となり、MOSトランジスタM2はオン状態となる。接触モード（電源5V）のときは、無線／接触切り替え信号RFRST及び信号CF1が共に“L”になるため、論理回路NR1の出力は“H”となり、MOSトランジスタM2はオフ状態となる。

【0040】なお、ダイオードD2は、電流の逆流を防止するためのものである。

【0041】外部端子RST, I/O, CLKは、それぞれレベルシフタ49～51を経由して論理回路（アンド回路）A3～A5に接続されている。レベルシフタ49～51では、VDD系の信号をVCC系の信号にレベルシフトする。論理回路A3～A5には、無線／接触切り替え信号RFRSTの反転信号／RFRSTが入力される。

【0042】無線／接触切り替え信号RFRSTの反転信号／RFRSTが“H”的ときは、接触モードとなり、レベルシフタ49～51の出力信号は、論理回路A3～A5を経由してロジック／メモリ回路37に供給される。また、このとき、オシレータ52は、クロック信号OSCCLKを出力する。

【0043】なお、抵抗R2及びMOSトランジスタM3は、接触モードのときに、データを出力するために使用される。

【0044】次に、図2及び図3のコンピュータ用LSIの動作について詳細に説明する。

#### 【0045】1. 無線モード時

まず、アンテナから電源用無線電波信号（AC信号）が入力され、この信号について半波又は全波整流が行われ、電源電位（DC電源）が生成される。この電源電位を基にして、リミッタ42、レギュレータ43及びバンドギャップ回路44を動作させ、電源電位（内部電源）VCCを生成する。

【0046】バッテリレベルディテクタ45に電源電位VCCが供給され、この電源電位VCCが所定の閾値を超えると、バッテリディテクタ45から出力される無線／接触切り替え信号RFRSTは、“H”となる。

【0047】無線／接触切り替え信号RFRSTが“H”になると、ロジック／メモリ回路37のCPUは、現在のモードが無線モードであると判断する。

【0048】よって、CPUは、ROMに記憶された無線モード時の処理プログラムに従い、データの処理を行う。

【0049】この時、論理回路（アンド回路）A1, A2では、一方の入力信号RFRSTが“H”となるた

め、他方の入力信号（データ、クロック信号）がそのまま出力信号として出力される。また、論理回路（アンド回路）A3～A5では、一方の入力信号／RFRSTが“L”となるため、これら論理回路A3～A5の出力信号は、常に“L”となる。

【0050】このため、無線モード時、データは、ディテクタ41から論理回路A1, O1を経由してロジック／メモリ回路37に供給される。また、クロック信号RFCLKは、クロック抽出回路46から論理回路A2を経由してロジック／メモリ回路37に供給され、クロック信号CLKは、クロック抽出回路46から論理回路A2, O3を経由してロジック／メモリ回路37に供給される。

【0051】また、ロジック回路AAでは、出力データに応じて信号RFOUTが“H”又は“L”となるため、無線用リニア回路34の出力回路（MOSトランジスタM1）を経由してデータが出力される。一方、ロジック回路AAの出力信号COUTが常に“L”となるため、接触用リニア回路35の出力回路（MOSトランジスタM3）は動作しない。

#### 【0052】2. 接触モード時

このモードでは、外部端子VDD, VSS, RST, I/O, CLKから電源電位又は信号（データ含む）が供給され、無線信号は供給されていない。

【0053】よって、無線用リニア回路34では、電源電位（DC電源）が生成されることなく、バッテリディテクタ45から出力される無線／接触切り替え信号RFRSTは、“L”になる。

【0054】無線／接触切り替え信号RFRSTが“L”になると、ロジック／メモリ回路37のCPUは、現在のモードが接触モードであると判断する。

【0055】よって、CPUは、ROMに記憶された接触モード時の処理プログラムに従い、データの処理を行う。

【0056】この時、外部端子VDDからは、3V又は5Vの電源電位が供給される。この電源電位により、バンドギャップ回路47及びバッテリレベルディテクタ48が動作し、信号RST(2)が“L”になる。また、電源が3Vのときは、信号CF1が“H”であるため、論理回路（ノア回路）NR1の出力は“L”となり、MOSトランジスタM2はオン状態となる。電源が5Vのときは、無線／接触切り替え信号RFRST及び信号CF1が共に“L”になるため、論理回路NR1の出力は“H”となり、MOSトランジスタM2はオフ状態となる。

【0057】なお、外部端子VDDから電源電位が供給されているとき、無線用リニア回路34に電流が流れ込まないようにするために、ダイオードD1が設けられる。

【0058】また、論理回路（アンド回路）A3～A5では、一方の入力信号／RFRSTが“H”となるた

め、他方の入力信号（リセット信号、データ、クロック信号）がそのまま出力信号として出力される。論理回路（アンド回路）A1, A2では、一方の入力信号RFRSTが“L”となるため、これら論理回路A1, A2の出力信号は、常に“L”となる。

【0059】このため、接触モード時、データは、端子I/Oからレベルシフタ50及び論理回路A3, O1を経由してロジック／メモリ回路37に供給される。また、クロック信号CLKは、端子CLKからレベルシフタ51及び論理回路A5, O3を経由してロジック／メモリ回路37に供給され、リセット信号RSTは、端子RSTからレベルシフタ49及び論理回路A4, O2を経由してロジック／メモリ回路37に供給される。

【0060】また、無線／接触切り替え信号RFRSTの反転信号／RFRSTが“H”であるため、オシレータ52が動作し、このオシレータ52によりクロック信号OSCLKが生成される。

【0061】また、ロジック回路AAでは、出力データに応じて信号COUTが“H”又は“L”となるため、接触用リニア回路35の出力回路（MOSトランジスタM3）を経由してデータが出力される。一方、ロジック回路AAの出力信号RFOUTは常に“L”であるため、無線用リニア回路34の出力回路（MOSトランジスタM1）は動作しない。

【0062】以上、説明したように、本発明のコンピカード用LSIの第1例によれば、無線用リニア回路において無線信号に基づいて生成される電源電位（DC電源）の有無により、無線モードと接触モードの切り替えを行っている。

【0063】即ち、無線用リニア回路で電源電位が生成されるときは、切り替え信号RFRSTを“H”にし、これをCPUに与えてCPUに無線モードであることを認識させる。同時に、切り替え回路により、無線用リニア回路からクロック信号やデータが出力されるようになる。一方、無線用リニア回路で電源電位が生成されていないときは、切り替え信号RFRSTを“L”にし、これをCPUに与えてCPUに接触モードであることを認識させる。同時に、切り替え回路により、接触用リニア回路からクロック信号やデータが出力されるようになる。

【0064】これにより、単純な方式により接触式と無線式を切り替えることができるコンピカード用LSIを提供することができる。

【0065】図4は、本発明が適用されるコンピカードの第2例を示すものである。

【0066】プラスチックカード30には、アンテナ31、コネクト部32及びコンピカード用LSI部33が内蔵されている。アンテナ31は、外部装置（リーダ／ライタ）38との間でデータのやりとりを行ったり、外部装置38から電力を取得するためのものである。コネ

クト部32は、I/O(入出力)、CLK(クロック)、RST(リセット)、VDD(電源)、VSS(接地)の各外部端子(電極)を有しており、これらの外部端子を外部装置(リーダ/ライタ)39に直接接触させることによりデータのやりとりなどを行う。

【0067】コンビカード用LSI部33は、無線用リニア回路34、接触用リニア回路35、切り替え回路36、40及びロジック/メモリ回路37から構成されている。無線用リニア回路34は、無線信号検出回路、電源電位生成回路、無線/接触切り替え信号生成回路などを備えている。接触用リニア回路35は、レベルシフト回路などを備えている。

【0068】ロジック/メモリ回路37は、各種の信号を処理するためのCPU及びランダムロジック、動作モードを判定するためのプログラムや各動作モード(接触、無線)に応じたデータの処理プログラムが保存されているROM、データの一時記憶用として用いられるRAM、データ保存用として用いられるEEPROMから構成されている。

【0069】切り替え回路36は、ロジック/メモリ回路37から出力される無線/接触切り替え信号に基づいて無線モード及び接触モードの切り替えを行う。無線モードのときは、無線用リニア回路34とロジック/メモリ回路37の間でデータのやりとりを行い、接触モードのときは、接触用リニア回路35とロジック/メモリ回路37の間でデータのやりとりを行う。

【0070】切り替え回路40は、無線モード時に、コネクト部32のI/O(入出力)、CLK(クロック)、RST(リセット)、VDD(電源)、VSS(接地)の各外部端子(電極)を接地電位に固定するためのものである。

【0071】無線モードでは、例えば、コンビカードを、財布や定期入れにしまった状態で無線用リーダ/ライタにかざして使用することが考えられる。この場合、コインなどの導電物により、コンビカードの接触用の外部端子同士(例えば、VDD端子とVSS端子)が短絡し、動作に悪影響を及ぼす可能性がある。この可能性を排除するため、無線モード時には、コネクト部32の各外部端子(電極)を接地電位に固定する。

【0072】本例のコンビカードの特徴点は、動作モードの判定をソフトウェアを用いてロジック/メモリ回路37内のCPUで行っている点にある。即ち、ロジック/メモリ回路37内のCPUは、無線用リニア回路34で生成される電源電位やクロック信号などの各信号の状態及び接触用リニア回路35に入力される電源電位やクロック信号などの各信号の状態をモニタし、これら各信号の状態を総合的に判断することにより動作モードを判定する。

【0073】例えば、無線用リニア回路34で電源電位が生成され、接触用リニア回路35に電源電位が入力さ

れていないときは、ロジック/メモリ回路37内のCPUにより無線モードと判定される。逆に、無線用リニア回路34で電源電位が生成されておらず、接触用リニア回路35に電源電位が入力されているときは、ロジック/メモリ回路37内のCPUにより接触モードと判定される。

【0074】また、例えば、接触用リニア回路35に電源電位が入力されているが、クロック信号が入力されておらず、無線用リニア回路34でクロック信号が生成されている場合には、モードの判定が不可能なため、このモード判定動作を一時停止する。無線用リニア回路34で電源電位が生成され、同時に接触用リニア回路35に電源電位が入力されている場合や、無線用リニア回路34でクロック信号が生成され、同時に接触用リニア回路35にクロック信号が入力されている場合なども、モードの判定が不可能なため、このモード判定動作を一時停止する。

【0075】CPUが動作モードを判定すると、その判定結果は、無線/接触切り替え信号により切り替え回路36、40に伝達される。

【0076】以上、説明したように、本発明のコンビカード用LSIの第2例によれば、まず、最初に行われる動作モードの判定を、ソフトウェア(動作モード判定用プログラム)を用いてCPUにより行っている。即ち、CPUにより、無線用リニア回路で生成される各信号の状態及び接触用リニア回路に入力される各信号の状態を総合的に判断することで、無線モードと接触モードの切り替えを行っている。このように、CPUにおいて動作モードを判定することにより、容易に、接触式と無線式の切り替えを行うことができる。

【0077】ところで、コンビカード又は接触式ICカードは、外部装置とIC(チップ)のインターフェイスとなるコネクト部を有しており、このコネクト部は、複数の外部端子(電極)を有するICモジュールにより構成される。

【0078】図5は、ICカードの外観を示すものである。プラスチックカード10は、一定の厚さを有し、その表面の一部には、エンボス領域が設けられている。ICモジュール53には、IC(チップ)が搭載されている。ICモジュール53のICが搭載される側の面に対して反対側の面には、外部端子(電極)54が形成されている。ICモジュール53は、外部端子54が剥き出しになるようにしてエンボス領域に嵌め込まれる。

【0079】図6は、ICモジュールを示している。また、図7は、図6のVII-VII線上に沿う断面図である。なお、図6において、外部端子は、省略している。ICモジュール53の一面側には、IC(チップ)55が搭載されている。IC55は、樹脂56により覆われている。また、ICモジュール53の他面側には、外部電極54が形成されている。

【0080】図8は、ICモジュールとIC(チップ)の接続技術の一例を示すものである。また、図9は、図8のICのみを取り出して示すものである。

【0081】この技術は、ボンディングワイヤ57により、ICモジュール53の端子とIC55のパッドを接続するものである。ICは、I/O(入出力)パッド、CLK(クロック)パッド、RST(リセット)パッド、VDD(電源)パッド、VSS(接地)パッドがそれぞれ剥き出しになるようにしてICモジュール53上に搭載される。

【0082】ICモジュール53には、IC55の各パッドに対応して、I/O(入出力)端子、CLK(クロック)端子、RST(リセット)端子、VDD(電源)端子、VSS(接地)端子が形成されている。ICモジュール53の各端子の位置は、IC55の各パッドの位置に対応して予め決められている。そして、ICモジュール53の端子とIC55のパッドは、ボンディングワイヤ57により互いに接続される。

【0083】ICモジュール53の一面側に配置されるI/O(入出力)端子、CLK(クロック)端子、RST(リセット)端子、VDD(電源)端子、VSS(接地)端子は、それぞれスルーホールを経由して、ICモジュール53の他面側に配置される外部端子(I/O、CLK、RST、VDD、VSS)に電気的に接続される。

【0084】図10は、ICモジュールとIC(チップ)の接続技術の他の例を示すものである。また、図11は、図10のICのみを取り出して示すものである。

【0085】この技術は、フリップチップボンディングにより、ICモジュール53の端子とIC55のバンプを接続するものである。ICは、I/O(入出力)バンプ、CLK(クロック)バンプ、RST(リセット)バンプ、VDD(電源)バンプ、VSS(接地)バンプがそれぞれICモジュールとICの間に隠れるようにしてICモジュール53上に搭載される。

【0086】ICモジュール53には、IC55の各バンプに対応して、I/O(入出力)端子、CLK(クロック)端子、RST(リセット)端子、VDD(電源)端子、VSS(接地)端子が形成されている。ICモジュール53の各端子の位置は、IC55の各バンプの位置に対応して予め決められている。そして、ICモジュール53の端子とIC55のバンプは、圧着技術により互いに接続される。

【0087】ICモジュール53の一面側に配置されるI/O(入出力)端子、CLK(クロック)端子、RST(リセット)端子、VDD(電源)端子、VSS(接地)端子は、それぞれスルーホールを経由して、ICモジュール53の他面側に配置される外部端子(I/O、CLK、RST、VDD、VSS)に電気的に接続される。

【0088】以上、ICモジュールとIC(チップ)の接続技術を二つ説明したが、これら二つの技術では、ICモジュールに搭載するチップの向きが互いに異なる。即ち、ボンディングワイヤを用いる場合には、各パッドが見えるようにしてICをICモジュールに搭載するが、フリップチップボンディングによる場合には、各パッドが隠れるようにしてICをICモジュールに搭載する。

【0089】従って、ICモジュールの構成を変えないとすると、ボンディングワイヤを用いる接続技術を適用する場合のICのパットの配置(レイアウト)は、図9に示すようになるのに対し、フリップチップボンディングによる接続技術を適用する場合のICのパット又はパッド上のバンプの配置(レイアウト)は、図11に示すようになる。

【0090】つまり、図9のレイアウトと図11のレイアウトを比較すれば明らかのように、これら二つのパッド(又はバンプ)レイアウトは、互いに左右が逆になっている。このため、ICカード用のICを製作するに当たっては、上述の二つの接続技術に対応できるように、パッド(又はバンプ)レイアウトが左右逆のものを、二種類用意しなければならない。

【0091】なお、ICモジュールの各端子のレイアウトを変えることにより一種類のパッド(又はバンプ)レイアウトにより上述の二つの接続技術に対応できるようになることも可能であるが、この場合、ユーザ側における余分な作業が増え、実装工程の複雑化を招く。

【0092】以下では、実装工程におけるユーザの負担を増加させることなく、一種類のレイアウトにより上述の二つの接続技術に対応できるようなパッド(又はバンプ)レイアウトを提案する。

【0093】図12は、本発明が適用されたICとICモジュールの端子とをボンディングワイヤにより電気的に接続した例を示している。図13は、本発明が適用されたICとICモジュールの端子とをフリップチップボンディングにより電気的に接続した例を示している。図14は、本発明のパッド(又はバンプ)レイアウトを示している。

【0094】まず、本発明のパッド(又はバンプ)レイアウトについて説明する(図14)。

【0095】本発明のパッド(又はバンプ)レイアウトの特徴は、IC(チップ)上に、ワイヤボンディング用の各パッド(I/O、CLK、RST、VDD、VS)と、フリップチップボンディング用の各バンプ(I/O、CLK、RST、VDD、VSS)をそれぞれ配置した点にある。

【0096】例えば、IC(チップ)の主表面を左右の二つの領域に分けた場合に、左側の領域に、I/Oパッド、VSSパッド、CLKバンプ、RSTバンプ、VDDバンプを配置し、右側の領域に、CLKパッド、RS

Tパッド、VDDパッド、I/Oバンプ、VSSバンプを配置する。

【0097】これにより、ワイヤボンディング時には、ワイヤボンディング用のI/Oパッド及びVSSパッドが、ICモジュール53のI/O端子及びVSS端子に対応する位置に配置され、同様に、ワイヤボンディング用のCLKパッド、RSTパッド及びVDDパッドが、ICモジュール53のCLK端子、RST端子及びVD端子に対応する位置に配置される。

【0098】また、フリップチップボンディング時は、圧着用のI/Oバンプ及びVSSバンプが、ICモジュール53のI/O端子及びVSS端子に対応する位置に配置され、同様に、圧着用のCLKバンプ、RSTバンプ及びVDDバンプが、ICモジュール53のCLK端子、RST端子及びVDD端子に対応する位置に配置される。

【0099】このように、本発明のパッド（又はバンプ）レイアウトによれば、ワイヤボンディング及びフリップチップボンディングのいずれの接続技術にも対応でき、チップの設計、製造時におけるメーカーの負担や実装工程におけるユーザの負担を軽減できる。

【0100】次に、本発明が適用されたICとICモジュールの端子とをボンディングワイヤにより電気的に接続した場合の構成について説明する（図12）。

【0101】ICは、ワイヤボンディング用の各パッド（I/O、CLK、RST、VDD、VSS）と、フリップチップボンディング用の各バンプ（I/O、CLK、RST、VDD、VSS）が、それぞれ剥き出しになるようにしてICモジュール53上に搭載される。

【0102】ICモジュール53には、IC55の各パッドに対応して、I/O（入出力）端子、CLK（クロック）端子、RST（リセット）端子、VDD（電源）端子、VSS（接地）端子が形成されている。ICモジュール53の各端子の位置は、IC55の各パッドの位置に対応して予め決められている。そして、ICモジュール53の端子とIC55のパッドは、ボンディングワイヤ57により互いに接続される。

【0103】次に、本発明が適用されたICとICモジュールの端子とをフリップチップボンディングにより電気的に接続した場合の構成について説明する（図13）。

【0104】ICは、ワイヤボンディング用の各パッド（I/O、CLK、RST、VDD、VSS）と、フリップチップボンディング用の各バンプ（I/O、CLK、RST、VDD、VSS）が、それぞれICモジュールとICの間に隠れるようにしてICモジュール53上に搭載される。

【0105】ICモジュール53には、IC55の各バンプに対応して、I/O（入出力）端子、CLK（クロック）端子、RST（リセット）端子、VDD（電源）

端子、VSS（接地）端子が形成されている。ICモジュール53の各端子の位置は、IC55の各バンプの位置に対応して予め決められている。そして、ICモジュール53の端子とIC55のバンプは、圧着技術により互いに接続される。

【0106】ここで、IC55の各パッドは、フリップチップボンディング時にICモジュール53の各端子に接触しないような位置に配置されている。

【0107】なお、図12及び図13において、ICモジュール53の一面側に配置されるI/O（入出力）端子、CLK（クロック）端子、RST（リセット）端子、VDD（電源）端子、VSS（接地）端子は、それぞれスルーホールを経由して、ICモジュール53の他面側に配置される外部端子（I/O、CLK、RST、VDD、VSS）に電気的に接続される。

【0108】以上、説明したように、本発明のIC（チップ）のパッドレイアウトによれば、予め、ICの主表面上に、ワイヤボンディング用の各パッド（I/O、CLK、RST、VDD、VSS）と、フリップチップボンディング用の各バンプ（I/O、CLK、RST、VDD、VSS）をそれぞれ配置している。このため、ワイヤボンディング及びフリップチップボンディングのいずれの接続技術を適用した場合であっても、一種類のパッド（又はバンプ）レイアウトによりICのモジュール化を達成でき、チップの設計、製造時におけるメーカーの負担や実装工程におけるユーザの負担を軽減させることができる。

【0109】

【発明の効果】本発明のコンビカード用LSIの第1例によれば、無線用リニア回路において無線信号に基づいて生成される電源電位（DC電源）の有無により、無線モードと接触モードの切り替えを行っている。

【0110】即ち、無線用リニア回路で電源電位が生成されるときは、切り替え信号RF\_RSTを“H”にし、これをCPUに与えてCPUに無線モードであることを認識させる。同時に、切り替え回路により、無線用リニア回路からクロック信号やデータが出力されるようとする。一方、無線用リニア回路で電源電位が生成されていないときは、切り替え信号RF\_RSTを“L”にし、これをCPUに与えてCPUに接触モードであることを認識させる。同時に、切り替え回路により、接触用リニア回路からクロック信号やデータが出力されるようとする。

【0111】これにより、単純な方式により接触式と無線式を切り替えることができるコンビカード用LSIを提供することができる。

【0112】また、本発明のコンビカード用LSIの第2例によれば、まず、最初に行われる動作モードの判定を、ソフトウェア（動作モード判定用プログラム）を用いてCPUにより行っている。即ち、CPUにより、無

線用リニア回路で生成される各信号の状態及び接触用リニア回路に入力される各信号の状態を総合的に判断することで、無線モードと接触モードの切り替えを行っている。このように、CPUにおいて動作モードを判定することにより、容易に、接触式と無線式の切り替えを行うことができる。

【0113】さらに、本発明のIC(チップ)のパッドレイアウトによれば、予め、ICの主表面上に、ワイヤボンディング用の各パッド(I/O、CLK、RST、VDD、VSS)と、フリップチップボンディング用の各バンプ(I/O、CLK、RST、VDD、VSS)をそれぞれ配置している。よって、ワイヤボンディング及びフリップチップボンディングのいずれの接続技術を適用した場合であっても、一種類のパッド(又はバンプ)レイアウトによりICのモジュール化を達成でき、チップの設計、製造時におけるメーカーの負担や実装工程におけるユーザの負担を軽減させることができる。

#### 【図面の簡単な説明】

【図1】本発明が適用されるコンビカードの第1例を示す図。

【図2】本発明のコンビカード用LSIの全体構成を示す図。

【図3】本発明のコンビカード用LSIの主要部を示す図。

【図4】本発明が適用されるコンビカードの第2例を示す図。

【図5】ICカードの外観を示す図。

【図6】ICモジュールを示す図。

【図7】図6のVII-VII線上に沿う断面図。

【図8】ワイヤボンディングによる接続技術を示す図。

【図9】図8のICのパッドレイアウトを示す図。

【図10】フリップチップボンディングによる接続技術を示す図。

【図11】図10のICのバンプレイアウトを示す図。

【図12】本発明のICを用いたワイヤボンディングによる接続技術を示す図。

【図13】本発明のICを用いたフリップチップボンディングによる接続技術を示す図。

【図14】図12及び図13のICのバンプレイアウトを示す図。

【図15】従来の接触式ICカードの構成の概略を示す図。

【図16】従来の無線式ICカードの構成の概略を示す図。

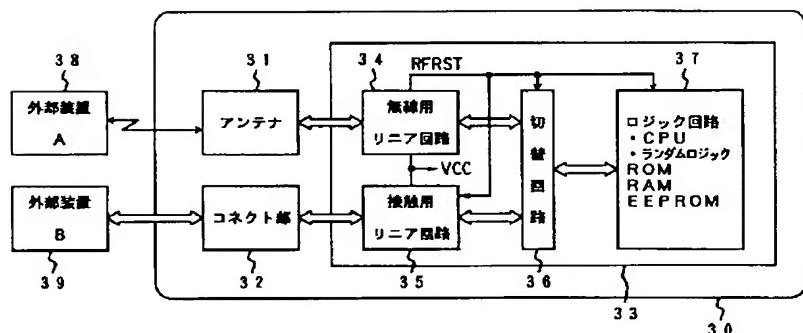
【図17】従来のコンビカードの構成例を示す図。

【図18】従来のコンビカードの構成例を示す図。

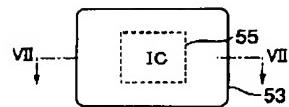
#### 【符号の説明】

3 0	: プラスチックカーボード、
3 1	: アンテナ、
3 2	: コネクト部、
3 3	: コンビカード用LSI
I、	
3 4	: 無線用リニア回路、
3 5	: 接触用リニア回路、
3 6, 4 0	: 切り替え回路、
3 7	: ロジック/メモリ回路、
3 8, 3 9	: 外部装置(リーダ/ライタ)、
4 1	: ディテクタ、
4 2	: リミッタ、
4 3	: レギュレータ、
4 4, 4 7	: バンドギャップ回路、
4 5, 4 8	: バッテリレベルディテクタ、
4 6	: クロック抽出回路、
4 9～5 1	: レベルシフタ、
5 2	: オシレータ、
5 3	: ICモジュール、
5 4	: 外部端子(電極)、
5 5	: IC(チップ)、
5 6	: 樹脂、
5 7	: ボンディングワイヤ、
A 1～A 5	: 論理回路(アンド回路)、
O 1～O 3	: 論理回路(オア回路)、
N R 1	: 論理回路(ノア回路)、
I 1	: インバータ、
D 1～D 3	: ダイオード、
R 1, R 2	: 抵抗、
M 1～M 3	: MOSトランジスタ。

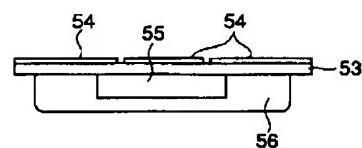
【図1】



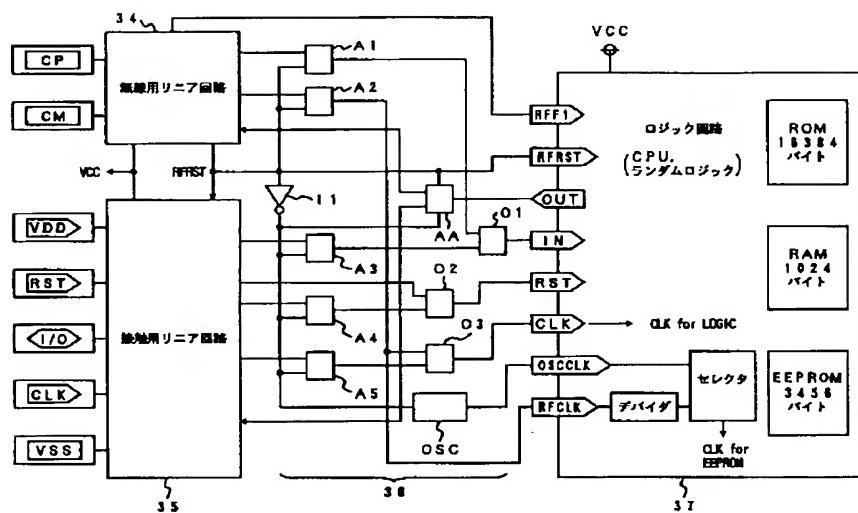
【図6】



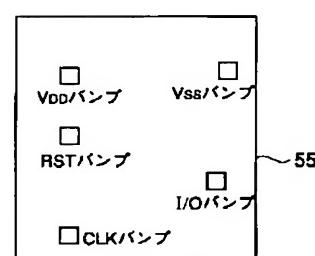
【図7】



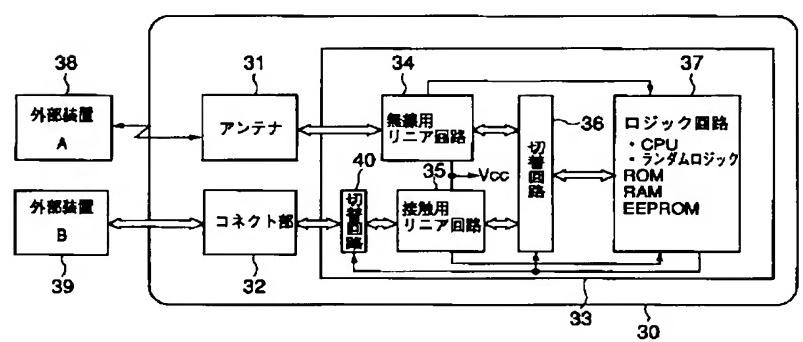
【図2】



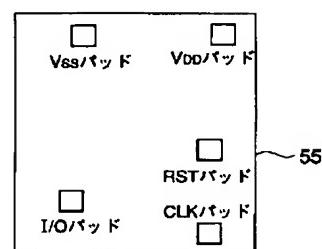
【図11】



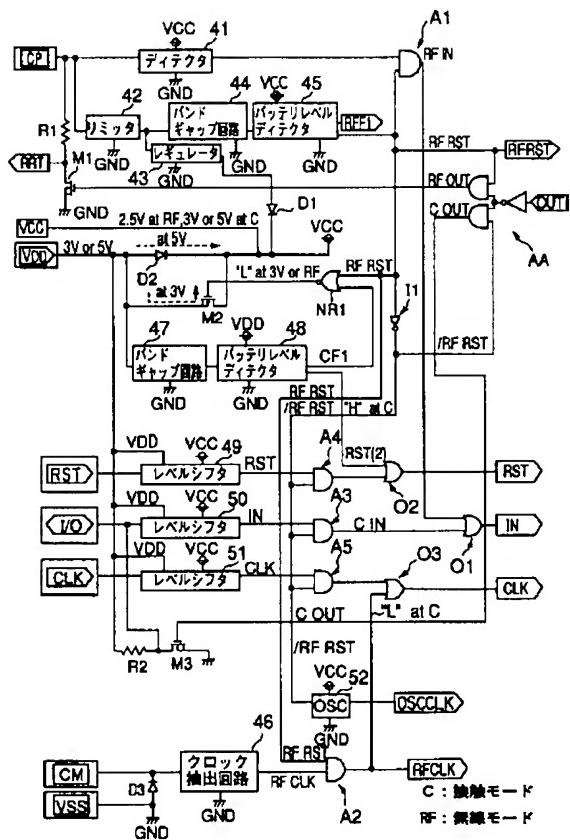
【図4】



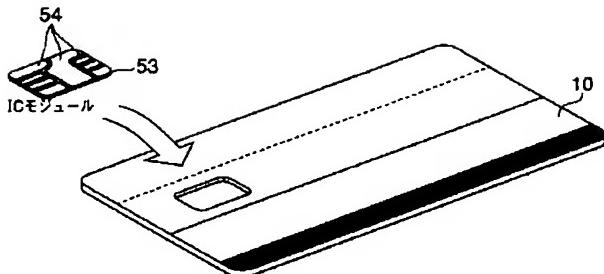
【図9】



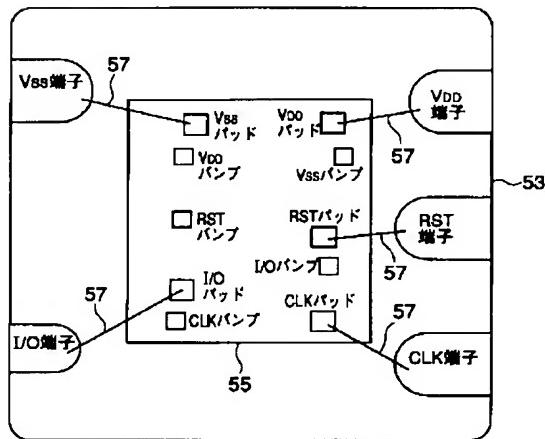
【図3】



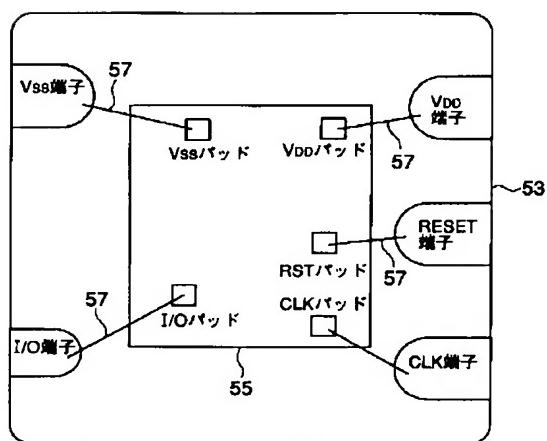
【図5】



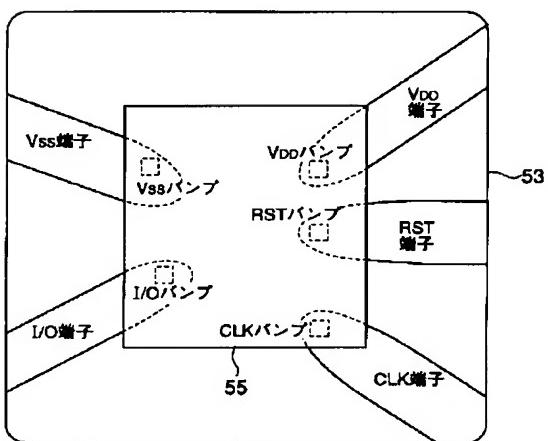
【図12】



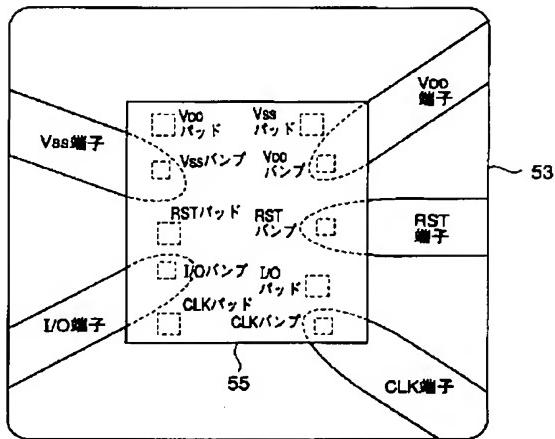
【図8】



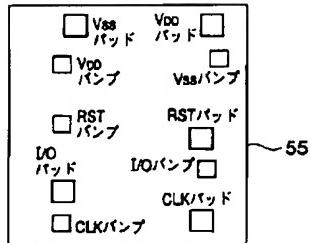
【図10】



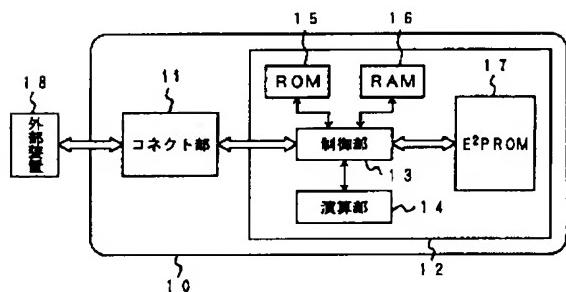
【図13】



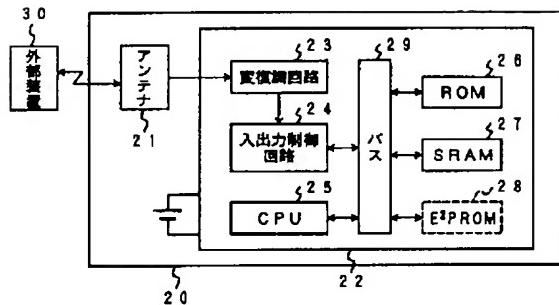
【図14】



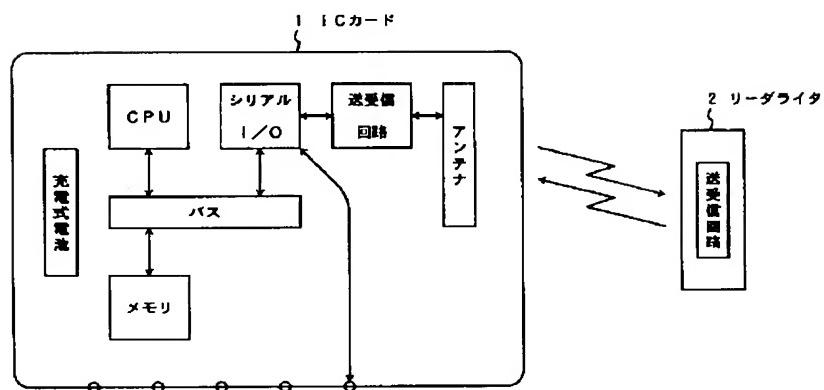
【図15】



【図16】



【図17】



【図18】

